

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344319

(43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H03M 1/66
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 2001-399978

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.2001

(72)Inventor : KARIBE MASAO

(30)Priority

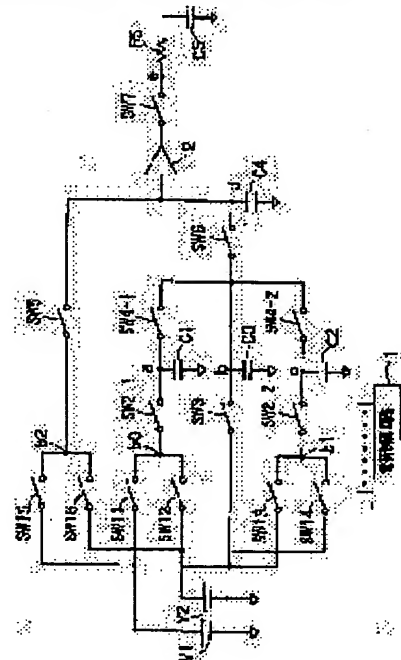
Priority number : 2001070296 Priority date : 13.03.2001 Priority country : JP

(54) DIGITAL-ANALOG CONVERTER CIRCUIT, DIGITAL-ANALOG CONVERSION METHOD AND DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital-analog converter circuit which reduces the time required for conversion.

SOLUTION: The converter circuit comprises first switch circuits SW11-SW16 turning on and off according to a digital signal, second switch circuits SW2-1, SW2-2 connected to the first switch circuits, a first to third capacitor elements C1-C4 and a third to seventh switch circuits SW3-SW7. The second capacitor element C3 previously stores charges according to the values of digital pixel data, and the switch circuit SW6 turns on to transfer the charges to the third capacitor element C4 when the charging ends. Hence, the capacitor element C4 can continue holding the charges according to previous image data while the switch circuit SW6 is off.



LEGAL STATUS

[Date of request for examination]

17.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-344319

(P2002-344319A)

(43)公開日 平成14年11月29日(2002.11.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 3 M 1/66		H 0 3 M 1/66	E 2 H 0 9 3
G 0 2 F 1/133	5 3 0	G 0 2 F 1/133	5 3 0 5 C 0 0 6
	5 5 0		5 5 0 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H 5 J 0 2 2
	6 2 1		6 2 1 F

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2001-399978(P2001-399978)

(22)出願日 平成13年12月28日(2001.12.28)

(31)優先権主張番号 特願2001-70296(P2001-70296)

(32)優先日 平成13年3月13日(2001.3.13)

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 荻 部 正 男

埼玉県深谷市幡羅町一丁目9番地2 株式
会社東芝深谷工場内

(74)代理人 100075812

弁理士 吉武 賢次 (外4名)

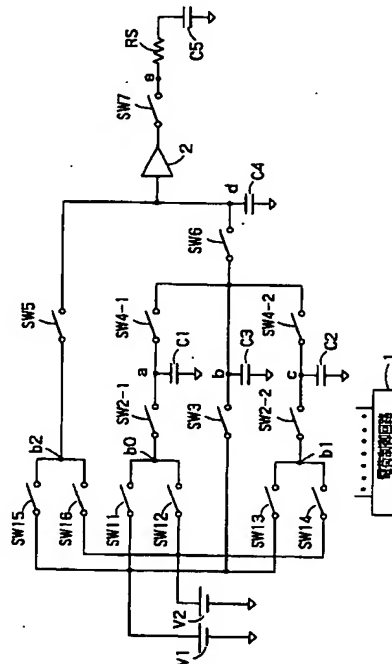
最終頁に続く

(54)【発明の名称】 デジタルアナログ変換回路、デジタルアナログ変換方法および表示装置

(57)【要約】

【課題】 デジタルアナログ変換に要する時間を短縮できるデジタルアナログ変換回路を提供する。

【解決手段】 本発明は、デジタル信号に応じてオン・オフする第1スイッチ回路SW11～SW16と、第1スイッチ回路に接続される第2スイッチ回路SW2-1、SW2-2と、第1～第3キャパシタ素子C1～C4と、第3～第7スイッチ回路SW3～SW7とを備えている。デジタル画素データの値に応じた電荷を第2のキャパシタ素子C3に蓄積しておき、電荷の蓄積が終わった段階で、スイッチ回路SW6をオンしてこの電荷を第3のキャパシタ素子C4に転送するようにしたため、スイッチ回路SW6がオフの間は、キャパシタ素子C4は前の画素データに応じた電荷を保持し続けることができる。



【特許請求の範囲】

【請求項 1】第 1 の電圧と第 2 の電圧との間の電圧であって、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、

前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積する複数の第 1 キャパシタ素子と、
前記第 1 の電圧に応じた電荷を蓄積可能な第 2 キャパシタ素子と、

前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第 3 キャパシタ素子と、

前記第 2 および第 3 キャパシタ素子との間の電流経路上に接続される切替手段と、を備え、

前記第 1 キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積した後、前記第 1 キャパシタ素子のそれぞれに蓄積された電荷を前記第 2 キャパシタ素子に転送するとともに、前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記切替手段をオンして、前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キャパシタ素子に転送する電荷制御回路と、を備えることを特徴とするデジタルアナログ変換回路。

【請求項 2】第 1 の電圧と第 2 の電圧との間の電圧であって、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、

前記デジタル信号の各ビットごとに設けられ、対応するビットの値に応じて、前記第 1 および第 2 の電圧のいずれかを選択する n 個の第 1 切替手段と、

前記デジタル信号の最上位ビットを除く各ビットに対応する前記第 1 切替手段にそれぞれ接続される第 2 切替手段と、

前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を、対応する前記第 1 および第 2 の切替手段を介して蓄積する第 1 キャパシタ素子と、

前記第 1 の電圧に応じた電荷を蓄積可能な第 2 キャパシタ素子と、

前記第 1 の電圧に応じた電荷を前記第 2 キャパシタ素子に蓄積するか否かを切り替える第 3 切替手段と、

前記第 1 キャパシタ素子のそれぞれに対応して設けられ、前記第 1 キャパシタ素子に蓄積された電荷を前記第 2 キャパシタ素子に転送するか否かを切り替える第 4 切替手段と、

前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第 3 キャパシタ素子と、

前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積するか否かを切り替える第 5 切替手段と、

前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キ

ャパシタ素子に転送するか否かを切り替える第 6 切替手段と、

前記第 2 切替手段をオンして前記第 1 キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積するとともに、前記第 3 切替手段をオンして前記第 2 キャパシタ素子に前記第 1 の電圧に応じた電荷を蓄積した後、前記第 4 切替手段をオンして前記第 1 キャパシタ素子のそれぞれに蓄積された電荷を前記第 2 キャパシタ素子に転送するとともに、前記第 5 切替手段をオンして前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記第 6 切替手段をオンして前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キャパシタ素子に転送する電荷制御回路と、を備えることを特徴とするデジタルアナログ変換回路。

【請求項 3】前記第 3 キャパシタの両端電圧を増幅する増幅器と、

前記増幅器の出力端子に接続された第 7 切替手段と、を備え、

前記電荷制御回路は、前記第 5 切替手段のオン期間中に前記第 7 切替手段をオフし、それ以外は前記第 7 切替手段をオンすることを特徴とする請求項 2 に記載のデジタルアナログ変換回路。

【請求項 4】前記電荷制御回路は、前記第 2 切替手段が複数あるときは、一つずつ順にオンすることを特徴とする請求項 2 または 3 に記載のデジタルアナログ変換回路。

【請求項 5】前記 n ビットのデジタル信号が特定のビット列のときのみ、前記第 2 キャパシタ素子に蓄積される電荷量を調整する電荷調整手段を備え、

前記電荷制御回路は、前記第 1 キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積した後、前記第 1 キャパシタ素子のそれぞれに蓄積された電荷を前記第 2 キャパシタ素子に転送し、かつ前記電荷調整手段による電荷調整を行い、かつ前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記切替手段をオンして、前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キャパシタ素子に転送することを特徴とする請求項 1 ～ 4 のいずれかに記載のデジタルアナログ変換回路。

【請求項 6】前記電荷調整手段は、前記デジタル信号の最小値または最大値のときのみ、前記第 2 キャパシタ素子に蓄積される電荷量を調整することを特徴とする請求項 5 に記載のデジタルアナログ変換回路。

【請求項 7】信号線および走査線の交点付近に配設された複数のスイッチング素子と、

信号線を駆動する信号線駆動回路と、

走査線を駆動する走査線駆動回路と、を備える表示装置であって、

前記信号線駆動回路は、画素情報を表すデジタル信号をアナログ信号に変換する請求項 1～6 のいずれかに記載のデジタルアナログ変換回路を有し、

前記デジタルアナログ変換回路の出力は、対応する信号線に供給されることを特徴とする表示装置。

【請求項 8】第 1 の電圧と第 2 の電圧との間の電圧であって、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換方法において、

複数の第 1 キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積した後、前記第 1 キャパシタ素子のそれぞれに蓄積された電荷を第 2 キャパシタ素子に転送するとともに、前記デジタル信号の最上位ビットの値に応じた電荷を第 3 キャパシタ素子に蓄積し、その後、前記第 2 および第 3 キャパシタ素子間の電流経路上に接続される切替手段をオンして、前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キャパシタ素子に転送することを特徴とするデジタルアナログ変換方法。

【請求項 9】第 1 の電圧と第 2 の電圧との間の電圧であって、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換方法において、

複数の第 1 キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積した後、前記第 1 キャパシタ素子のそれぞれに蓄積された電荷を第 2 キャパシタ素子に転送し、かつ前記 n ビットのデジタル信号が特定のビット列のときのみ前記第 2 キャパシタ素子に蓄積される電荷量を調整し、かつ前記デジタル信号の最上位ビットの値に応じた電荷を第 3 キャパシタ素子に蓄積し、その後、前記第 2 および第 3 キャパシタ素子間の電流経路上に接続される切替手段をオンして、前記第 2 キャパシタ素子に蓄積された電荷を前記第 3 キャパシタ素子に転送することを特徴とするデジタルアナログ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路、表示装置およびデジタルアナログ変換方法に関する。

【0002】

【従来の技術】液晶表示装置は、信号線および走査線がマトリクス状に配設された画素アレイ部と、信号線および走査線を駆動する駆動回路とを備えている。従来は、画素アレイ部と駆動回路とを別個の基板に形成していたため、液晶表示装置全体のコストダウンが図れなかった。

【0003】

【発明が解決しようとする課題】最近、ガラス基板上にポリシリコンを材料として TFT (Thin Film Transisto

r) を形成する製造技術が進歩してきたため、この技術を利用して、画素アレイ部と駆動回路とを同一基板に形成することも技術的に十分に可能になってきた。

【0004】画素アレイ部の信号線には、アナログの画素電圧を供給する必要があるのに対し、駆動回路はゲート回路やフリップフロップ等のデジタル部品で構成されており、デジタル信号の状態で各種の信号処理を行っている。このため、駆動回路の内部にデジタルアナログ変換回路を設けて、変換したアナログ信号を画素アレイ部に供給するのが一般的である。

【0005】しかしながら、ガラス基板上に、均一で高性能な特性をもつポリシリコン TFT を形成するのは現状では困難であり、しきい値電圧や移動度などのトランジスタ特性のばらつきが大きくなりやすく、動作速度も遅くなる。

【0006】図 9 はガラス基板上にポリシリコン TFT を用いて構成された従来のデジタルアナログ変換回路の回路図であり、3 ビットのデジタル画素データをアナログ電圧に変換する例を示している。図 9 のデジタルアナログ変換回路は、デジタル画素データの各ビットに対応して設けられる 3 組のスイッチ回路 (SW11, SW12)、(SW13, SW14)、(SW15, SW16) と、これらスイッチ回路にそれぞれ接続されるスイッチ回路 SW17, SW18, SW19 と、これらスイッチ回路 SW17, SW18, SW19 に接続されるキャパシタ素子 C11, C12, C13 およびスイッチ回路 SW20, SW21, SW22 と、第 1 および第 2 の電圧 V_1 , V_2 のいずれか一方を選択するスイッチ回路 SW23 と、スイッチ回路 SW23 に接続されるキャパシタ素子 C14 と、キャパシタ素子 C14 の一端に接続される増幅器 2 と、増幅器 2 の出力端に接続されるスイッチ回路 SW7 と、スイッチ回路 SW7 を通過した増幅器 2 の出力電圧に応じた電荷を蓄積するキャパシタ素子 C15 と、を備えている。

【0007】図 10 は 3 ビットのデジタル信号 (1, 1, 1) が入力された場合の図 9 の回路内の各部の電圧波形を示す図である。以下、図 10 を参照して図 9 の回路の動作を説明する。なお、第 1 の電圧 V_1 は 1 ボルト、第 2 の電圧 V_2 は 4 ボルトとする。

【0008】まず、時刻 $T_1 - T_2$ では、スイッチ回路 SW17～SW19 をオンする。これにより、キャパシタ素子 C11～C13 の一端 a, b, c 点はいずれも 4 ボルトになる。次に、時刻 $T_2 - T_3$ では、スイッチ回路 SW20 をオンする。これにより、キャパシタ素子 C11 からキャパシタ素子 C14 に電荷が移動し、キャパシタ素子 C11, C14 の一端 a, d 点は同電圧 (2.5V) になる。

【0009】次に、時刻 $T_3 - T_4$ では、スイッチ回路 SW21 をオンする。これにより、キャパシタ素子 C12 からキャパシタ素子 C14 に電荷が移動し、キャパシタ素子 C12, C14 の一端 b, d 点は同電圧 (3.25V) になる。

【0010】次に、時刻 $T_4 - T_5$ では、スイッチ回路 SW22 をオンする。これにより、キャパシタ素子 C13 から

キャパシタ素子C14に電荷が移動し、キャパシタ素子C13, C14の一端c, d点は同電圧(3.625V)になる。また、このとき、スイッチ回路SW7もオンするため、d点の電圧に応じた電荷が増幅器2とスイッチ回路SW7を介してキャパシタC15に蓄積される。時刻T5以降は、時刻T1~T5と同様の動作を繰り返す。

【0011】図9のd点の電圧は、時刻T1~T5の間に徐々に変化し、時刻T4~T5の間にようやく所望のアナログ電圧になる。すなわち、d点は、所望のアナログ電圧になる期間が短い。このため、スイッチ回路SW7は、d点が所望の電圧になる期間(時刻T4~T5)しかオンすることができない。したがって、デジタルアナログ変換回路の出力を信号線に供給する期間が短くなり、信号線が所望の電圧にまで上がりきれない、あるいは下がりきれないおそれがあり、輝度むら等がおきて表示品質が悪くなってしまう。

【0012】本発明は、このような点に鑑みてなされたものであり、その目的は、デジタルアナログ変換に要する時間を短縮できるデジタルアナログ変換回路、表示装置およびデジタルアナログ変換方法を提供することにある。

【0013】

【課題を解決するための手段】上述した課題を解決するために、本発明は、第1の電圧と第2の電圧との間の電圧であって、 n (n は2以上の整数)ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積する複数の第1キャパシタ素子と、前記第1の電圧に応じた電荷を蓄積可能な第2キャパシタ素子と、前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第3キャパシタ素子と、前記第2および第3キャパシタ素子の間の電流経路上に接続される切替手段と、を備え、前記第1キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積した後、前記第1キャパシタ素子のそれぞれに蓄積された電荷を前記第2キャパシタ素子に転送するとともに、前記デジタル信号の最上位ビットの値に応じた電荷を前記第3キャパシタ素子に蓄積し、その後、前記切替手段をオンして、前記第2キャパシタ素子に蓄積された電荷を前記第3キャパシタ素子に転送する電荷制御回路と、を備える。

【0014】また、第1の電圧と第2の電圧との間の電圧であって、 n (n は2以上の整数)ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、前記デジタル信号の各ビットごとに設けられ、対応するビットの値に応じて、前記第1および第2の電圧のいずれかを選択する n 個の第1切替手段と、前記デジタル信号の最上位ビットを除く各ビットに対応する前記第1切替手段にそれぞれ接続される第2切替手段と、前記デジタル信号の最上位ビットを除く各ビットの

値に応じた電荷を、対応する前記第1および第2の切替手段を介して蓄積する第1キャパシタ素子と、前記第1の電圧に応じた電荷を蓄積可能な第2キャパシタ素子と、前記第1の電圧に応じた電荷を前記第2キャパシタ素子に蓄積するか否かを切り替える第3切替手段と、前記第1キャパシタ素子のそれぞれに対応して設けられ、前記第1キャパシタ素子に蓄積された電荷を前記第2キャパシタ素子に転送するか否かを切り替える第4切替手段と、前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第3キャパシタ素子と、前記デジタル信号の最上位ビットの値に応じた電荷を前記第3キャパシタ素子に蓄積するか否かを切り替える第5切替手段と、前記第2キャパシタ素子に蓄積された電荷を前記第3キャパシタ素子に転送するか否かを切り替える第6切替手段と、前記第2切替手段をオンして前記第1キャパシタ素子のそれぞれに前記デジタル信号の最上位ビットを除く各ビットの値に応じた電荷を蓄積するとともに、前記第3切替手段をオンして前記第2キャパシタ素子に前記第1の電圧に応じた電荷を蓄積した後、前記第4切替手段をオンして前記第1キャパシタ素子のそれぞれに蓄積された電荷を前記第2キャパシタ素子に転送するとともに、前記第5切替手段をオンして前記デジタル信号の最上位ビットの値に応じた電荷を前記第3キャパシタ素子に蓄積し、その後、前記第6切替手段をオンして前記第2キャパシタ素子に蓄積された電荷を前記第3キャパシタ素子に転送する電荷制御回路と、を備える。

【0015】本発明では、デジタル信号の各ビットの値に応じた電荷を第2キャパシタ素子に蓄積しておき、その後、切替手段をオンして、この電荷を第3キャパシタ素子に転送するため、切替手段がオフの間は、第3キャパシタ素子は直前の画素データを保持し続ける。したがって、信号線に画素電圧を供給する期間を長くでき、表示品質の向上が図れる。

【0016】

【発明の実施の形態】以下、本発明に係るデジタルアナログ変換回路について、図面を参照しながら具体的に説明する。以下では、本発明に係るデジタルアナログ変換回路を液晶表示装置内の信号線駆動回路に適用する例について説明する。

【0017】(第1の実施形態)図1は本発明に係るデジタルアナログ変換回路の第1の実施形態の回路図である。図1のデジタルアナログ変換回路は、3ビットのデジタル信号(b2, b1, b0)を第1および第2の電圧V1, V2間の8種類の電圧に変換するものである。

【0018】図1のデジタルアナログ変換回路は、デジタル信号(b2, b1, b0)の各ビットの値に応じて第1および第2の電圧V1, V2のいずれかを選択する3組の第1スイッチ回路(第1切替手段)(SW11, SW12)、(SW13, SW14)、(SW15, SW16)と、デジタル信号(b2, b1, b0)の最上位ビットを除く各ビットに対応する第1スイッチ回

路にそれぞれ接続される複数の第2スイッチ回路(第2切替手段)SW2-1, SW2-2と、デジタル信号(b2, b1, b0)の最上位ビットを除く各ビットの値に応じた電荷を対応する第1および第2のスイッチ回路を介して蓄積する複数の第1キャパシタ素子C1, C2と、第1の電圧V1に応じた電荷を蓄積可能な第2キャパシタ素子C3と、第1の電圧V1に応じた電荷を第2キャパシタ素子C3に蓄積するかどうかを切り替える第3スイッチ回路(第3切替手段)SW3と、第1キャパシタ素子C1, C2に蓄積された電荷を第2キャパシタ素子C3に転送するかどうかを切り替える第4スイッチ回路(第4切替手段)SW4-1, SW4-2と、デジタル信号(b2, b1, b0)の最上位ビットの値に応じた電荷を蓄積可能な第3キャパシタ素子C4と、デジタル信号(b2, b1, b0)の最上位ビットの値に応じた電荷を第3キャパシタ素子C4に蓄積するかどうかを切り替える第5スイッチ回路(第5切替手段)SW5と、第2キャパシタ素子C3に蓄積された電荷を第3キャパシタ素子C4に転送するかどうかを切り替える第6スイッチ回路(切替手段、第6切替手段)SW6と、第1~第6スイッチ回路SW11~SW6を切替制御する電荷制御回路1と、第3キャパシタ素子C4の両端電圧を増幅する増幅器2と、増幅器2の出力端子に接続された第7スイッチ回路(第7切替手段)SW7とを備えている。

【0019】増幅器2の出力は、第7スイッチ回路SW7を介して、不図示の信号線に供給される。信号線には、画素TFTが接続されており、画素TFTのゲート端子に接続された走査線がハイレベルになると、画素TFTがオンして、信号線上の電圧に応じた電荷が液晶容量および補助容量に蓄積される。図1では、これら容量を第4キャパシタ素子C5で代表している。

【0020】図1の第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)はそれぞれ、一端に第1の電圧V1が印加されるスイッチSW11, SW13, SW15と、一端に第2の電圧V2が印加されるスイッチSW12, SW14, SW16とからなり、第1スイッチ回路内の2つのスイッチの各他端は共通に接続されている。図1では、これら共通接続点をそれぞれb2, b1, b0点としている。

【0021】第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)は、デジタル信号(b2, b1, b0)の各ビットに対応しており、各ビットの値に応じて対応する第1スイッチ回路がオンオフする。例えば、ビット値が「1」の場合には、スイッチSW12, SW14, SW16のいずれかがオンし、ビット値が「0」の場合には、スイッチSW11, SW13, SW15のいずれかがオンする。これらスイッチSW11~SW16の切り替えにより、第1スイッチ回路の端部b2, b1, b0点は、それぞれ第1の電圧V1か第2の電圧V2のいずれかになる。

【0022】図2は、第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)のオン・オフ、第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)の

5. SW16)の端部b2, b1, b0点の電圧、および第3キャパシタ素子C4の一端d点の電圧との関係を示す図である。図示のように、b2, b1, b0点の電圧が(V2, V2, V2)のときは、d点は最大電圧 $V1 + 7 \cdot (V2 - V1) / 8$ になり、b2, b1, b0点の電圧が(V1, V1, V1)のときは、d点は最小電圧V1になる。

【0023】電荷制御回路1は、デジタル信号(b2, b1, b0)の値に応じて第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)内の各スイッチをオン・オフ制御する。また、図1のd点は、デジタル信号(b2, b1, b0)の値に応じた電圧を出力する。

【0024】図3は図1の回路内部の各部の電圧波形図である。図3の電圧波形図は、b2, b1, b0点の電圧が(V2, V2, V2)の場合の例、すなわちデジタル画素データが(1, 1, 1)の例を示している。以下、図3の電圧波形図に基づいて図1のデジタルアナログ変換回路の動作を説明する。なお、図3では、第1の電圧V1を1V、第2の電圧V2を4Vとしている。

【0025】まず、時刻T1~T2のとき、電荷制御回路1は、第2スイッチ回路SW2-1, SW3, SW2-2と第7スイッチ回路SW7をオンする。これにより、キャパシタ素子C1, C2の一端a点、c点は電圧V2に、キャパシタ素子C3の一端b点は電圧V1になる。

【0026】次に、時刻T2~T3のとき、電荷制御回路1は、第4スイッチ回路SW4-1と第7スイッチ回路SW7をオンする。これにより、キャパシタ素子C1, C3の各一端a, b点は同電圧(2.5V)になる。この電圧は、4Vと1Vの中間の電圧である。

【0027】次に、時刻T3~T4のとき、電荷制御回路1は、第5スイッチ回路SW4-2, SW5をオンする。これにより、キャパシタ素子C4の一端d点は電圧V2になり、また、キャパシタ素子C2からキャパシタ素子C3に電荷が移動して、キャパシタ素子C2, C3の各一端b, cは同電圧(3.25V)になる。

【0028】次に、時刻T4~T5のとき、電荷制御回路1は、第4および第7スイッチ回路SW6, SW7をオンする。これにより、キャパシタ素子C3からキャパシタ素子C4に電荷が移動して、キャパシタ素子C3, C4の各一端b, dは同電圧(3.625V)になる。また、第7スイッチ回路SW7の一端e点も3.625Vになる。

【0029】以下、時刻T5以降は、時刻T1~T5と同様の動作を行う。

【0030】このように、本実施形態では、デジタル画素データの値に応じた電荷をキャパシタ素子C3に蓄積しておき、電荷の蓄積が終わった段階で、スイッチ回路SW6をオンしてこの電荷をキャパシタ素子C4に転送するようにしたため、スイッチ回路SW6がオフの間は、キャパシタ素子C4は前の画素データに応じた電荷を保持し続けることができる。したがって、デジタルア

ナログ変換回路の後段に設けられる信号線に電圧を供給する時間が長くなり、信号線の電圧が上がりきれない、あるいは下がりきれないといった問題がなくなり、表示品質がよくなる。

【0031】(第2の実施形態)第1の実施形態では、第1および第2の電圧 V_1 、 V_2 を等分した線形に変化するアナログ電圧を生成しているが、生成したアナログ電圧を液晶表示装置の信号線駆動用に用いる場合、信号線電圧の最大電圧が最小電圧のいずれか一方は、非線形な電圧に設定する必要がある。その理由は、液晶の電圧透過率特性が線形でないためである。そこで、以下に説明する第2の実施形態は、デジタル画素データをアナログ電圧に変換する際、デジタル画素データの最大値が最小値に対応するアナログ電圧を非線形な電圧値に補正するものである。

【0032】図4は本発明に係るデジタルアナログ変換回路の第2の実施形態の回路図である。図4では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0033】図4のデジタルアナログ変換回路は、図1の構成に新たに第8スイッチ回路SW8を追加した構成になっている。第8スイッチ回路SW8の一端には電源電圧 V_0 が印加され、他端には第4スイッチ回路SW4-1、SW4-2、第5スイッチ回路SW5および第6スイッチ回路SW6が接続されている。

【0034】第8スイッチ回路SW8がオンになるのは、デジタル画素データが最小値のときのみであり、それ以外はオフである。

【0035】図5は、第1スイッチ回路(SW11, SW12)、(SW13, SW14)、(SW15, SW16)のオン・オフ、b2, b1, b0点の電圧、および第3キャパシタ素子C4の一端d点の電圧の関係を示す図である。b2, b1, b0点の電圧が(V_1, V_1, V_1)のとき、すなわちデジタル画素データが最小値のときにd点は(V_0+V_1)/2になる。これ以外のときは図2と同じ電圧になる。

【0036】図6はd点の電圧がデジタル画素データに応じて変化する様子を示す図である。図6ではデジタル画素データが最小値のときのアナログ電圧を黒丸で、それ以外のデジタル画素データに対応するアナログ電圧を白丸で表している。参考のために、第1の実施形態における最小値に対応するアナログ電圧を斜線の丸で表している。

【0037】図示のように、第1の実施形態では、アナログ電圧が常に線形な特性になるのに対して、本実施形態では、デジタル画素データが最小値のときに非線形な特性になることがわかる。

【0038】図7は図4の回路内部の各部の電圧波形図である。図7の電圧波形図は、b2, b1, b0点の電圧が(V_1, V_1, V_1)の場合の例、すなわち、デジタル画素データが(0, 0, 0)の例を示している。このとき、第8スイッチ回

路SW8はオンになるものと仮定し、第1の電圧 V_1 は1V、第2の電圧 V_2 は4V、第3の電圧 V_3 は-0.6Vとしている。

【0039】まず、時刻 T_1-T_2 のとき、電荷制御回路1は、第2スイッチ回路SW2-1, SW2-2と第3スイッチ回路SW3をともにオンする。これにより、a, b, c点はいずれも1Vになる。

【0040】次に、時刻 T_2-T_3 のとき、電荷制御回路1は、第4スイッチ回路SW4-1をオンする。これにより、キャパシタ素子C1, C3の間で電荷の再配分が行われるが、もともとキャパシタ素子C1, C3に蓄積されている電荷量は等しいため、a, b点の電位は1Vのまま変化しない。

【0041】次に、時刻 T_3-T_4 のとき、電荷制御回路1は、第4スイッチ回路SW4-2、第5スイッチ回路SW5および第8スイッチ回路SW8をオンする。これにより、キャパシタ素子C2, C3の間で電荷の再配分が行われ、b, c点の電圧は、 $(1-0.6)/2=0.2V$ になる。また、キャパシタ素子C4には第1の電圧 V_1 に応じた電荷が蓄積され、d点は1Vになる。

【0042】次に、時刻 T_4-T_5 のとき、電荷制御回路1は、第6および第7スイッチ回路SW6, SW7をオンする。これにより、キャパシタ素子C3, C4の間で電荷の再配分が行われ、d, e点は $(1+0.2)/2=0.6V$ になる。

【0043】時刻 T_5 以降は、時刻 T_1-T_5 の動作を繰り返す。

【0044】一方、図8の電圧波形図は、b2, b1, b0点の電圧が(V_2, V_2, V_2)の場合の例、すなわち画素データが(1, 1, 1)の例を示している。このとき、第8スイッチ回路SW8はオフになるものと仮定している。

【0045】この場合、第8スイッチ回路SW8はオフであるため、図4の回路は図1と全く同様に動作し、時刻 T_4-T_5 のときに、キャパシタ素子C3, C4の各一端b, dと第7スイッチ回路SW7の一端e点はともに3.625Vになる。

【0046】このように、本実施形態では、デジタル画素データが最小値のときに第8スイッチ回路SW8がオンになるようにするため、最小値に対応するアナログ電圧を非線形な電圧に補正できる。したがって、液晶の電圧透過率特性が線形でなくても、液晶の特性に最適な電圧を信号線に供給でき、表示品質の向上が図れる。

【0047】なお、上述した実施形態では、デジタル画素データが最小値のときに第8スイッチ回路SW8をオンする例を説明したが、デジタル画素データが最大値のときに第8スイッチ回路SW8をオンしてアナログ電圧の補正を行ってもよい。このように、本実施形態によれば、液晶の電圧透過率特性に合わせて補正処理を行うことができる。

【0048】図1および図4では、3ビットのデジタル画素データをアナログ電圧に変換する例を説明したが、

デジタル画素データのビット数は3ビットに限定されない。例えば、 n (n は2以上の整数) ビットのデジタル画素データをアナログ電圧に変換したい場合は、第2スイッチ回路SW2-1, SW2-2、第1キャパシタ素子C1, C2および第4スイッチ回路SW4-1, SW4-2をそれぞれ $(n-1)$ 個ずつ設ければよい。

【0049】また、図1および図4のデジタル変換回路は、表示装置以外でも用いることができ、本発明に係るデジタル変換回路は、必ずしもポリシリコンTFTを用いて構成しなくてもよい。

【0050】

【発明の効果】以上詳細に説明したように、本発明によれば、デジタル信号に応じた電荷を第2キャパシタ素子に蓄積した後、その電荷を切替手段をオンして第3キャパシタ素子に転送するため、切替手段がオフの間は、第3キャパシタは直前のデジタル信号に応じた電荷を保持し続けることができる。したがって、本発明のデジタルアナログ変換回路を液晶表示装置の信号線駆動用に適用すると、信号線に電圧を供給する時間を長くすることができ、輝度むら等が起きにくくなって表示品質が向上する。

【図面の簡単な説明】

【図1】本発明に係るデジタルアナログ変換回路の一実施形態の回路図。

【図2】第1の実施形態における第1スイッチ回路のオン・オフ、第1スイッチ回路の端部電圧、および第3キャパシタ素子の一端電圧の関係を示す図。

【図3】図1の回路内部の各部の電圧波形図。

【図4】本発明に係るデジタルアナログ変換回路の第2の実施形態の回路図

【図5】第2の実施形態における第1スイッチ回路のオン・オフ、第1スイッチ回路の端部電圧、および第3キャパシタ素子の一端電圧の関係を示す図。

【図6】d点の電圧がデジタル画素データに応じて変化する様子を示す図。

【図7】b2, b1, b0点の電圧が $(V1, V1, V1)$ の場合における図4の回路内部の各部の電圧波形図。

10 【図8】b2, b1, b0点の電圧が $(V2, V2, V2)$ の場合における図4の回路内部の各部の電圧波形図。

【図9】ガラス基板上にポリシリコンTFTを用いて構成された従来のデジタルアナログ変換回路の回路図。

【図10】3ビットのデジタル信号(1, 1, 1)が入力された場合の図9の回路内の各部の電圧波形を示す図。

【符号の説明】

1 電荷制御回路

2 増幅器

SW11~SW16 第1スイッチ回路

20 SW2-1, SW2-2 第2スイッチ回路

SW3 第3スイッチ回路

SW4-1, SW4-2 第4スイッチ回路

SW5 第5スイッチ回路

SW6 第6スイッチ回路

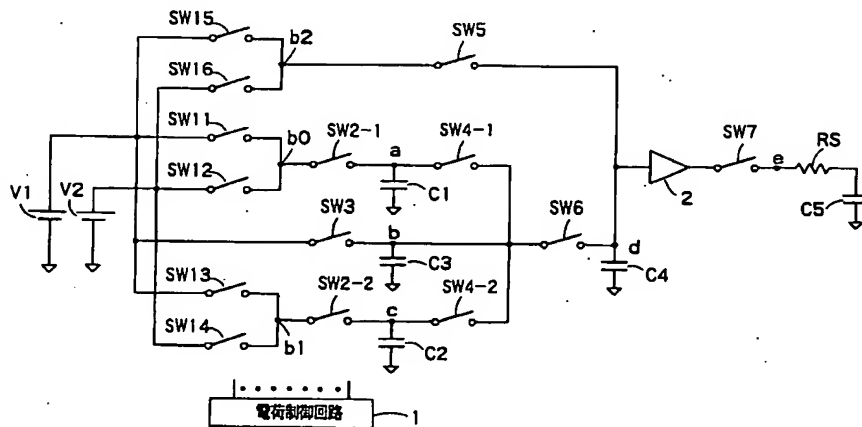
SW7 第7スイッチ回路

C1, C2 第1キャパシタ素子

C3 第2キャパシタ素子

C4 第3キャパシタ素子

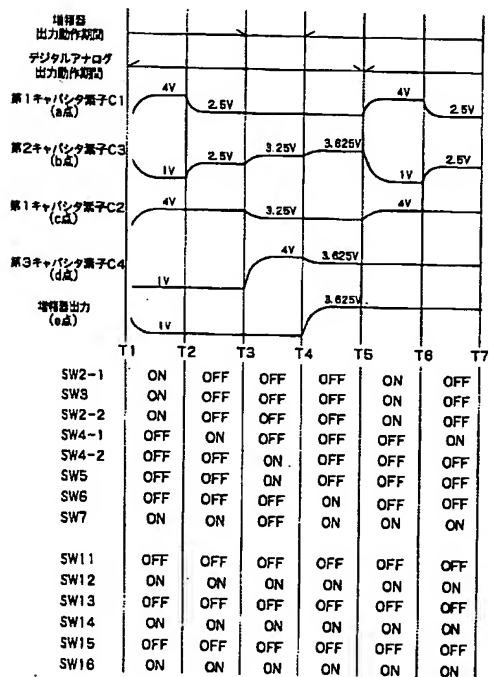
【図1】



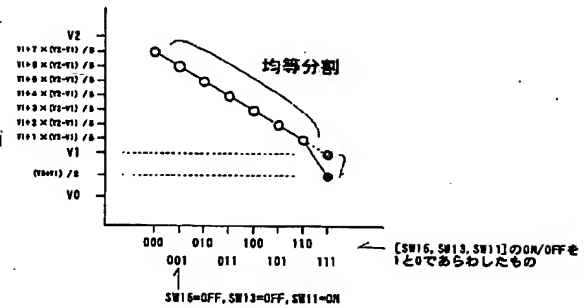
【図2】

SW11	SW12	SW13	SW14	SW15	SW16	d点電圧	b0	b1	b2
OFF	ON	OFF	ON	OFF	ON	$V1+7 \times (V2-V1)/8$	V2	V2	V2
ON	OFF	OFF	ON	OFF	ON	$V1+6 \times (V2-V1)/8$	V1	V2	V2
OFF	ON	ON	OFF	OFF	ON	$V1+5 \times (V2-V1)/8$	V2	V1	V2
ON	OFF	ON	OFF	OFF	ON	$V1+4 \times (V2-V1)/8$	V1	V1	V2
OFF	ON	OFF	ON	ON	OFF	$V1+3 \times (V2-V1)/8$	V2	V2	V1
ON	OFF	OFF	ON	ON	OFF	$V1+2 \times (V2-V1)/8$	V1	V2	V1
OFF	ON	ON	OFF	ON	OFF	$V1+1 \times (V2-V1)/8$	V2	V1	V1
ON	OFF	ON	OFF	ON	OFF	V1	V1	V1	V1

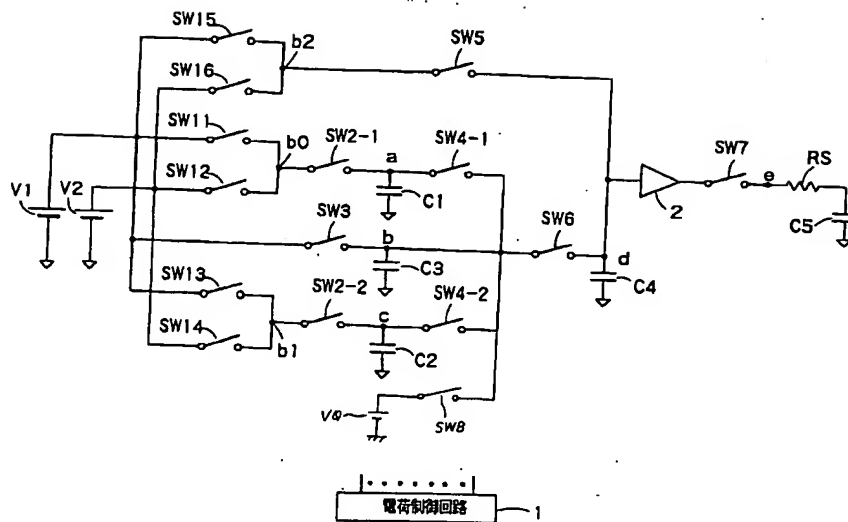
【図3】



【図6】



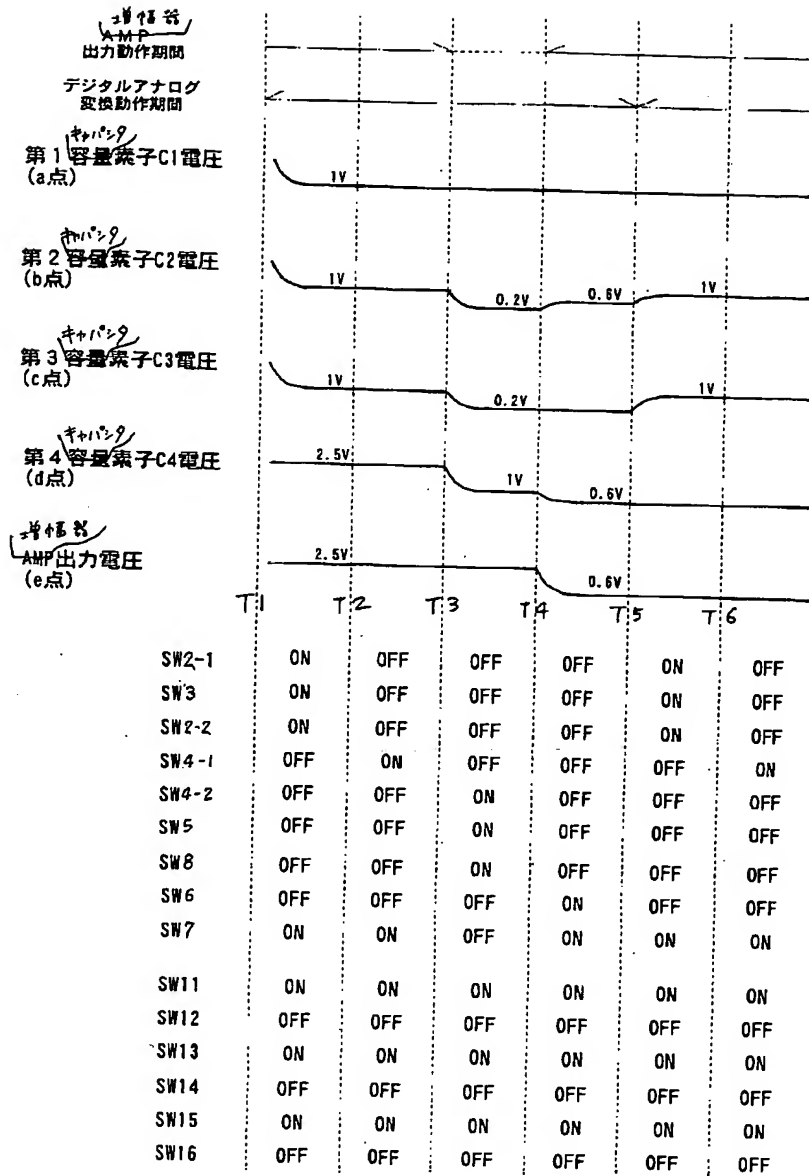
【図 4】



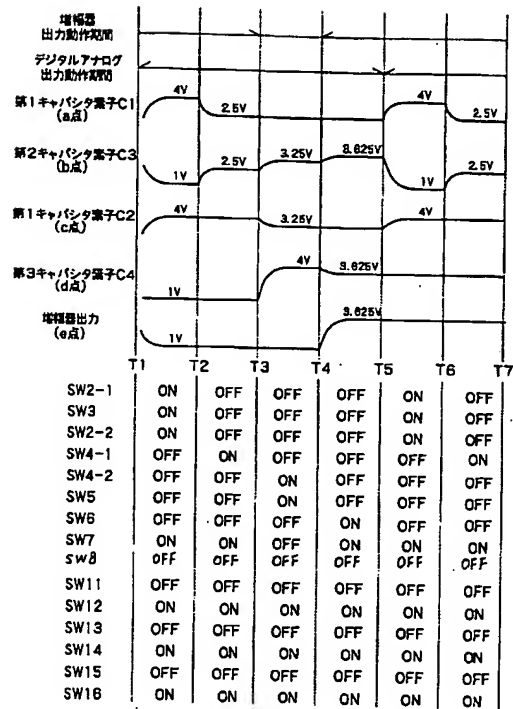
【図 5】

SW11	SW12	SW13	SW14	SW15	SW16	d点電圧	b0	b1	b2
OFF	ON	OFF	ON	OFF	ON	$V1 + 7 \times (V2 - V1) / 8$	V2	V2	V2
ON	OFF	OFF	ON	OFF	ON	$V1 + 6 \times (V2 - V1) / 8$	V1	V2	V2
OFF	ON	ON	OFF	OFF	ON	$V1 + 5 \times (V2 - V1) / 8$	V2	V1	V2
ON	OFF	ON	OFF	OFF	ON	$V1 + 4 \times (V2 - V1) / 8$	V1	V1	V2
OFF	ON	OFF	ON	ON	OFF	$V1 + 3 \times (V2 - V1) / 8$	V2	V2	V1
ON	OFF	OFF	ON	ON	OFF	$V1 + 2 \times (V2 - V1) / 8$	V1	V2	V1
OFF	ON	ON	OFF	ON	OFF	$V1 + 1 \times (V2 - V1) / 8$	V2	V1	V1
ON	OFF	ON	OFF	ON	OFF	$(V0 + V1) / 2$	V1	V1	V1

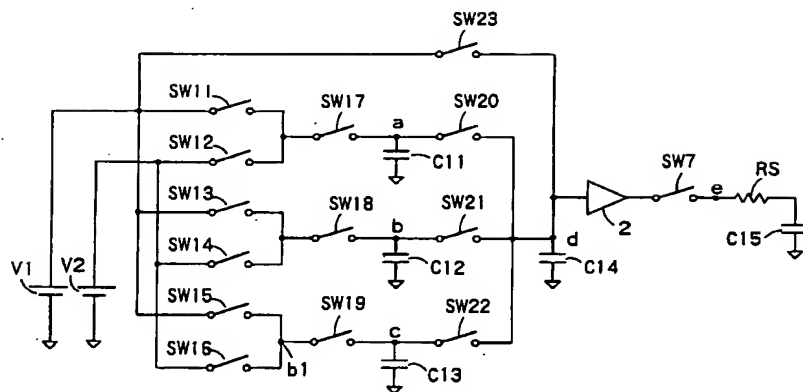
【図 7】



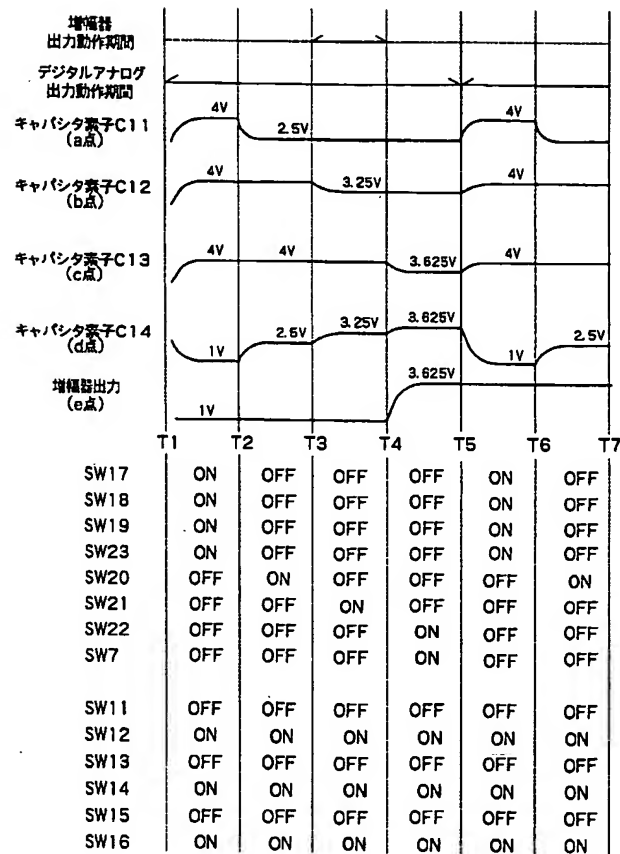
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.⁷
G 0 9 G 3/20識別記号
6 2 3
6 8 0F I
G 0 9 G 3/20

テ-マ-ド (参考)

6 2 1 M
6 2 3 F
6 8 0 G

3/36

3/36

F タ-ム (参考) 2H093 NA16 NC11 NC21 NC34 ND60
 5C006 AA16 AF83 BB16 BC02 BC12
 BC20 BF25 BF34 BF37 BF43
 EB05 FA14 FA22 FA41
 5C080 AA10 BB05 DD05 DD08 DD25
 DD27 DD28 EE29 FF11 JJ03
 JJ04 JJ05
 5J022 AB07 BA05 CE02 CF02 CF07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.